

Family list

2 family member for:

JP6216359

Derived from 1 application.

1 PHOTSENSOR SYSTEM

Publication info: **JP3265676B2 B2** - 2002-03-11

JP6216359 A - 1994-08-05

Data supplied from the *esp@cenet* database - Worldwide

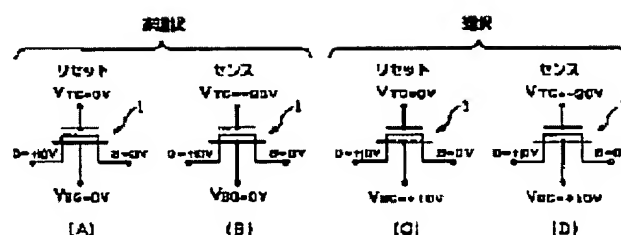
PHOTOSENSOR SYSTEM

Patent number: JP6216359
Publication date: 1994-08-05
Inventor: YAMADA HIROYASU
Applicant: CASIO COMPUTER CO LTD
Classification:
- international: H01L27/146; H01L31/10; H04N1/028
- european:
Application number: JP19930023618 19930118
Priority number(s): JP19930023618 19930118

Report a data error here

Abstract of JP6216359

PURPOSE: To provide a photosensor system having a sensor function and a selection transistor function and a high density arrangement set up by connecting in series photosensors in the direction of a signal line.
CONSTITUTION: The bottom gate electrode of each sensor 1 is formed on an insulative substrate, and covered with a bottom gate insulating film. Thereon a semiconductor layer is formed, and a source electrode (S) and a drain electrode (D) are formed so as to sandwich the semiconductor layer. These are covered with a top gate insulating film, on which a top gate electrode (TG) is formed in a facing position to the bottom gate electrode (BG). The source electrode (S) and the drain electrode (D) of each photosensor 1 in the direction of a signal line are connected in series. When a top gate voltage VTG is controlled to be 0 [V] and -20 [V], a sense state and a reset state can be controlled. When a bottom gate voltage VBG is controlled to be 0 [V] and +10 [V], a selection state and a non-selection state can be controlled.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-216359

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/146 31/10				
H 0 4 N 1/028	A	8721-5C 7210-4M 8422-4M	H 0 1 L 27/ 14 31/ 10	C A
審査請求 未請求 請求項の数 3 F D (全 8 頁)				

(21)出願番号 特願平5-23618

(22)出願日 平成5年(1993)1月18日

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72)発明者 山田 裕康

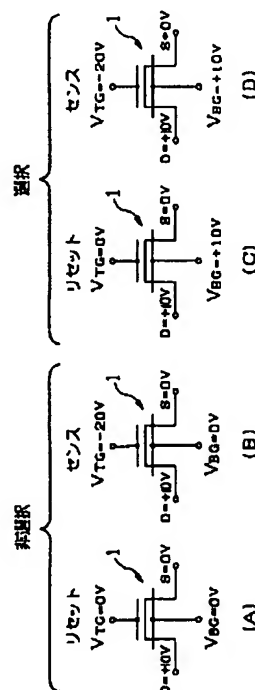
東京都八王子市石川町2951番地5 カシオ
計算機株式会社八王子研究所内

(54)【発明の名称】 フォトセンサシステム

(57)【要約】 (修正有)

【目的】 1つのフォトセンサにセンサ機能と選択トランジスタ機能を兼ね備えさせ、かつ信号線方向の各フォトセンサを直列接続して高密度化を可能としたフォトセンサシステムを提供する。

【構成】 各フォトセンサ1は絶縁性基板上にボトムゲート電極が形成され、これらをボトムゲート絶縁膜が覆っている。その上に半導体層が形成され、半導体層を挟んでソース電極(S)とドレイン電極(D)が形成されている。これらをトップゲート絶縁膜が覆っており、その上にボトムゲート電極(BG)と相対向する位置にトップゲート電極(TG)が形成されている。信号線方向の各フォトセンサ1のソース電極(S)とドレイン電極(D)とが直列接続されている。トップゲート電圧 V_{TG} を0[V]と-20[V]とに制御すると、センス状態とリセット状態を制御でき、またボトムゲート電圧 V_{BG} を0[V]と+10[V]とに制御すると、選択状態及び非選択状態を制御できる。



1

【特許請求の範囲】

【請求項1】 半導体層を挟んで、ソース電極とドレイン電極が相対向して配され、これら半導体層、ソース電極及びドレイン電極を挟んでその両側にそれぞれ絶縁膜を介して該半導体層と相対向する第1ゲート電極及び第2ゲート電極が配され、該第1ゲート電極側または第2ゲート電極側のいずれか一方を光照射側とし、該光照射側から照射された光が、該光照射側の絶縁膜を透過して前記半導体層に照射されるフォトセンサを複数個備えたフォトセンサシステムであって、

前記複数のフォトセンサのうち信号線に沿って配設された相隣接するフォトセンサのソース電極とドレイン電極とを直列に接続し、

前記各フォトセンサの光照射側のゲート電極に印加する電圧を制御して前記フォトセンサのセンス状態を制御するセンス状態制御手段と、

前記各フォトセンサの光照射側のゲート電極に相対向するゲート電極に印加する電圧を制御して前記フォトセンサの選択及び非選択の状態を制御する選択制御手段と、を備えたことを特徴とするフォトセンサシステム。

【請求項2】 前記直列に接続されたフォトセンサのソース電極あるいはドレイン電極に直列に接続され、該直列に接続されたフォトセンサの出力をオン/オフする選択手段を設けたことを特徴とするフォトセンサシステム。

【請求項3】 前記センス状態制御手段は、前記光照射側のゲート電極に印加する電圧を制御して前記フォトセンサのセット及びリセット状態をも制御することを特徴とする請求項1記載のフォトセンサシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、フォトセンサシステムに関し、詳しくは、1つのフォトセンサにセンサ機能と選択トランジスタの機能を兼用させたフォトセンサを直列に接続して、高密度化を図ったフォトセンサシステムに関する。

【0002】

【従来の技術】 従来、フォトセンサシステムは、通常、フォトダイオードやTFT (Thin Film Transistor) をその受光素子 (フォトセンサ) として利用し、複数のフォトセンサをマトリックス状に配列している。そして各フォトセンサは、照射された光の量に応じた電荷を発生し、この電荷量をみることにより、輝度を知ることができる。このマトリックス状に配列されたフォトセンサに、水平走査回路及び垂直走査回路から走査電圧を印加して、各フォトセンサの電荷量を検出している。

【0003】 ところが、従来のフォトセンサは、閉回路が形成されていると、発生した電荷が電流として放出されるため、従来、各フォトセンサ毎にフォトセンサとは別に選択トランジスタを形成して接続し、この選択トラ

2

ンジスタを上記水平走査回路及び垂直走査回路で駆動することにより、各フォトセンサ毎の電荷量を検出している。

【0004】

【発明が解決しようとする課題】 しかしながら、このような従来のフォトセンサシステムにあっては、フォトセンサ毎に選択トランジスタを形成して接続していたため、各フォトセンサセルが大きくなり、フォトセンサシステム自体が大型化して、画素の高密度化の障害になるという問題があった。

【0005】 そこで、本発明は、フォトセンサ自体にフォトセンサ機能と選択機能とを持たせるとともに、信号線毎にフォトセンサのソース電極とドレイン電極とを直列に接続することにより、従来の選択トランジスタ無くしてフォトセンサセルを小さくするとともに、フォトセンサシステム自体を小型化し、画素を高密度化させることのできるフォトセンサシステムを提供することを目的としている。

【0006】

【課題を解決するための手段】 本発明のフォトセンサシステムは、半導体層を挟んで、ソース電極とドレイン電極が相対向して配され、これら半導体層、ソース電極及びドレイン電極を挟んでその両側にそれぞれ絶縁膜を介して該半導体層と相対向する第1ゲート電極及び第2ゲート電極が配され、該第1ゲート電極側または第2ゲート電極側のいずれか一方を光照射側とし、該光照射側から照射された光が、該光照射側の絶縁膜を透過して前記半導体層に照射されるフォトセンサを複数個備えたフォトセンサシステムであって、前記複数のフォトセンサのうち信号線に沿って配設された相隣接するフォトセンサのソース電極とドレイン電極とを直列に接続し、前記各フォトセンサの光照射側のゲート電極に印加する電圧を制御して前記フォトセンサのセンス状態を制御するセンス状態制御手段と、前記各フォトセンサの光照射側のゲート電極に相対向するゲート電極に印加する電圧を制御して前記フォトセンサの選択及び非選択の状態を制御する選択制御手段と、を備えることにより、上記目的を達成している。

【0007】 また、前記直列に接続されたフォトセンサのソース電極あるいはドレイン電極に直列に接続され、該直列に接続されたフォトセンサの出力をオン/オフする選択手段を設けることにより、上記目的を達成している。

【0008】 上記各場合において、前記センス状態制御手段は、例えば、前記光照射側のゲート電極に印加する電圧を制御して前記フォトセンサのセット及びリセット状態をも制御するものであってもよい。

【0009】

【作用】 このようなフォトセンサを備えたフォトセンサシステムは、その複数のフォトセンサのうち信号線に沿

って配設された相隣接するフォトセンサのソース電極とドレイン電極が直列に接続され、また半導体層を挟んでその一方側に配置された光照射側のゲート電極に印加する電圧を制御して前記フォトセンサのセンス状態を制御し、この各フォトセンサのゲート電極に印加する電圧を制御して、前記フォトセンサの選択及び非選択の状態を制御しているので、フォトセンサとしての機能と選択トランジスタとしての機能とを兼ね備えさせることができ、従来の別個に形成して配設されたフォトセンサを選択するための選択トランジスタを取り除くことができるとともに、信号線に沿って相隣接するフォトセンサのソース電極とドレイン電極を直列接続しているため、配線面積や接続点数を削減することができる。その結果、フォトセンサシステム自体を小型化することができ、画素を高密度化させることができる。

【0010】また、前記直列に接続されたフォトセンサのソース電極あるいはドレイン電極に直列に接続され、該直列に接続されたフォトセンサの出力をオン／オフする選択手段を設けているので、複数のフォトセンサをマトリックス状に配設した場合においても、選択手段をオン／オフすることにより、データライン毎にそのフォトセンサの出力を容易に取り出すことができる。

【0011】さらに、光照射側のゲート電極に印加する電圧を制御して前記フォトセンサのセットとリセット状態をも制御しているので、前回の蓄積電荷を直ちに放出でき、光照射量を連続的に検出することができる。

【0012】

【実施例】以下、本発明を実施例に基づいて説明する。

【0013】図1～図5は、フォトセンサシステムの一実施例を示す図であり、図1はそのフォトセンサシステムに使用されるフォトセンサの側面断面図、図2は図1のフォトセンサの等価回路、図3は図1のフォトセンサの各電極に印加する電圧とその状態変化の説明図、図4は図3の電圧印加状態における出力特性を示す特性曲線図、図5はフォトセンサを適用したセンサアレイの一例の一部を示す等価回路図である。

【0014】図1において、フォトセンサ1は、基本的には、逆スタガー型薄膜トランジスタとコプラナー型薄膜トランジスタとを半導体層を単一層にして組み合わせた構成となっている。

【0015】すなわち、フォトトランジスタ1は、ガラス等からなる透明な絶縁性基板2上に、クロム(Cr)等からなるボトムゲート電極3が形成されており、このボトムゲート電極(BG)3及び絶縁性基板2を覆うように、窒化シリコン(SiN)からなるボトムゲート絶縁膜4が形成されている。このボトムゲート絶縁膜4は、Si/N組成比が「1」よりも大きいSiリッチなSi_{1-x}N_xを使用してもよい。

【0016】上記ボトムゲート電極(BG)3上には、ボトムゲート電極(BG)3と対向する位置に、半導体

層5が形成されており、半導体層5は、I型アモルファス・シリコン(I-a-Si)で形成されている。この半導体層5を挟んで、該半導体層5上に所定の間隔を有して相対向する位置にクロム(Cr)等からなるソース電極(S)6及びドレイン電極(D)7が形成されており、これらソース電極(S)6及びドレイン電極(D)7は、それぞれリン等のドーパントが拡散されたアモルファスシリコンよりなるn⁺シリコン層8、9を介して半導体層5と接続されている。これらによりボトムトランジスタ(逆スタガー型薄膜トランジスタ)BTrが構成されている。

【0017】上記ソース電極(S)6とドレイン電極(D)7及び半導体層5のソース電極(S)6とドレイン電極(D)7の間の部分は、透明な窒化シリコンからなるトップゲート絶縁膜10により覆われており、トップゲート絶縁膜10上には、前記ボトムゲート電極(BG)3と相対向する位置に透明な導電性材料からなるトップゲート電極(TG)11が形成されている。トップゲート電極(TG)11は、後述する電子-正孔対を発生するために半導体層5のチャンネル領域のみでなく、図1に示すように、n⁺シリコン層8、9上部面も覆う大きさに形成することが望ましい。そして、図示しないが、このトップゲート電極(TG)11及びトップゲート絶縁膜10を覆うように、窒化シリコンからなる透明なオーバーコート膜が形成されており、保護している。上記トップゲート電極(TG)11、トップゲート絶縁膜10、半導体層5、ソース電極(S)6及びドレイン電極(D)7により、トップトランジスタ(コプラナー型薄膜トランジスタ)TTrが形成されている。

【0018】このフォトセンサ1は、本実施例では、図1に示すように、トップゲート電極(TG)11側から照射光Aが照射され、この照射光Aがトップゲート電極(TG)11及びトップゲート絶縁膜10を透過して、半導体層5に照射される。なお、フォトセンサ1は、上記構成からも明らかなように、照射光Aをトップゲート電極1側から照射するものに限定されるものではなく、ボトムゲート電極(BG)3側から照射するようにしても、以降に説明する動作を、同様に行なわせることができる。

【0019】このフォトセンサ1は、例えば、ボトムゲート電極(BG)が1000% (オングストローム)、ボトムゲート絶縁膜4が2000%、半導体層5が1500%、ソース電極(S)及びドレイン電極(D)が500%、オームコンタクト層8、9が250%、トップゲート絶縁膜10が2000%、トップゲート電極(TG)が500%及びオーバーコート膜が4000%に形成されており、半導体層5上のソース電極(S)とドレイン電極(D)との間隔が、7μmに形成されている。

【0020】このように、フォトセンサ1は、逆スタガー型薄膜トランジスタBTrとコプラナー型薄膜トラン

5

ジスタTTrとを組み合わせた構成となっており、その等価回路は、図2のように示すことができる。

【0021】次に、このフォトセンサ1の動作を説明する。

【0022】フォトセンサ1は、図3に示すように、ボトムゲート電極(BG)に印加する電圧とトップゲート電極(TG)に印加する電圧を制御することにより、選択状態と非選択状態及びセンス状態とリセット状態とを制御することができる。

【0023】すなわち、図3の(C)及び(D)に示すように、フォトセンサ1のボトムゲート電極(BG)に正電圧、例えば、+10[V]を印加すると、半導体層5にnチャンネルが形成される。ここで、ソース電極(S)ードレイン電極(D)間に正電圧、例えば、+10[V]を印加すると、ソース電極(S)側から電子が供給され、電流が流れる。この状態で、図3(D)に示すように、トップゲート電極(TG)にボトムゲート電極(BG)の電界によるnチャンネルを消滅させるレベルの負電圧、例えば、-20[V]を印加すると、トップゲート電極(TG)からの電界がボトムゲート電極(BG)の電界がチャンネル層に与える影響を減じる方向に働く。その結果、空乏層が半導体層5の厚み方向に伸び、nチャンネルをピンチオフする。このとき、トップゲート電極(TG)側から照射光Aが照射されると、半導体層5のトップゲート電極(TG)側に電子ー正孔対が誘起される。ところが、トップゲート電極(TG)に、-20[V]が印加されているため、誘起された正孔は、チャンネル領域に蓄積され、トップゲート電極(TG)の電界を打ち消す。このため、半導体層5のチャンネル領域にnチャンネルが形成され、電流が流れる。そして、このソース電極(S)ードレイン電極(D)間に流れる電流(以下ドレイン電流) I_{DS} は、照射光Aにより誘起された正孔の数に応じて、すなわち照射光Aの光量に応じて変化する。

【0024】このように、フォトセンサ1は、トップゲート電極(TG)からの電界がボトムゲート電極(BG)からの電界によるチャンネル形成に対してそれを妨げる方向に働くように制御し、nチャンネルをピンチオフするものであるから、光無照射時に流れるドレイン電流 I_{DS} を極めて小さく、例えば、 10^{-14} A (アンペア) 程度にすることができる。その結果、フォトセンサ1は、光照射時(明時)のドレイン電流 I_{DS} と光無照射時(暗時)のドレイン電流 I_{DS} の差を充分大きくすることができ、また、このときのボトムトランジスタの増幅率は、照射された光量によって変化し、S/N比を大きくすることができる。

【0025】また、フォトセンサ1は、図3(C)に示すように、ボトムゲート電極(BG)に、正電圧(+10[V])を印加した状態で、トップゲート電極(TG)を、例えば、0[V]にすると、半導体層5とトッ

6

プゲート絶縁膜10との間のトラップ準位から正孔を吐き出させてリフレッシュ、すなわち、リセットすることができる。すなわち、フォトセンサ1は、連続使用されると、トップゲート絶縁膜10と半導体層5との間のトラップ準位が、光照射により発生する正孔及びドレイン電極(D)から注入される正孔によって埋められていき、光無照射状態でのチャンネル抵抗も小さくなって、光無照射時にドレイン電流 I_{DS} が増加する。そこで、トップゲート電極(TG)に0[V]を印加し、この正孔を吐き出させて、リセットする。

【0026】さらに、フォトセンサ1は、図3(A)及び図3(B)に示すように、ボトムゲート電極(BG)に、正電圧を印加していないときには、半導体層5にチャンネルが形成されず、光照射を行なっても、ドレイン電流 I_{DS} が流れず、非選択状態とすることができる。すなわち、フォトセンサ1は、ボトムゲート電極(BG)に印加する電圧(以下、ボトムゲート電圧) V_{BG} を制御することにより、選択状態と、非選択状態とを制御することができる。また、この非選択状態において、図3(A)に示すように、トップゲート電極(TG)に0[V]を印加すると、上記同様に、半導体層5とトップゲート絶縁膜10との間のトラップ準位から正孔を吐き出させてリセットすることができる。

【0027】次に、上記動作のうち選択状態にあるときの動作を、トップゲート電極(TG)に印加する電圧(以下、トップゲート電圧) V_{TG} を変化させたときのドレイン電流特性曲線を示す図4を用いて、説明する。なお、図4は、図3の(C)および(D)に示すように、ボトムゲート電圧 V_{BG} として+10[V]を印加した状態で、照射光Aの光量をパラメータとして、トップゲート電圧 V_{TG} を変化させたときのドレイン電流 I_{DS} の特性を示している。

【0028】すなわち、図3(C)及び図3(D)に示す状態において、2300ルクス(1x)の光量の照射光Aを照射したときには、図4にドレイン電流特性曲線T1で示すように、トップゲート電圧 V_{TG} が変化しても、常に、1 μ A (マイクロアンペア) 以上のドレイン電流 I_{DS} が流れる。また、400ルクスの光量の照射光Aを照射したときには、図4にドレイン電流特性曲線T2で示すように、トップゲート電圧 V_{TG} が0[V]から-12[V]程度の間では、1 μ A以上のドレイン電流 I_{DS} が流れ、トップゲート電圧 V_{TG} が-12[V]を過ぎると、ドレイン電流 I_{DS} は多少減少するものの、0.1 μ A以上の電流が、常に流れる。すなわち、400ルクス(1x)以上の光量の照射光Aが照射される明時には、常に、0.1 μ A以上のドレイン電流 I_{DS} が流れる。

【0029】また、同様に、図3(C)及び図3(D)に示す状態において、1ルクスの光量のときには、図4にドレイン電流特性曲線D1で示すように、トップゲ

7

ート電圧 V_{Tc} が0 [V] であると、 $1\mu\text{A}$ 以上のドレイン電流 I_{Ds} が流れるが、トップゲート電圧 V_{Tc} が -12 [V] 以下になると、ドレイン電流 I_{Ds} は、急激に減少し、トップゲート電圧 V_{Tc} が -16 [V] 以下になると、ドレイン電流 I_{Ds} は、 1pA (ピコアンペア) 以下になる。また、 16 ルクスの光量のときには、図4にドレイン電流特性曲線D2で示すように、トップゲート電圧 V_{Tc} が0 [V] であると、 $1\mu\text{A}$ 以上のドレイン電流 I_{Ds} が流れるが、トップゲート電圧 V_{Tc} が -12 [V] 以下になると、急激に減少し、トップゲート電圧 V_{Tc} が -17 [V] 以下になると、ドレイン電流 I_{Ds} は、 1pA 以下になる。

【0030】したがって、フォトセンサ1は、図3に示したように、トップゲート電圧 V_{Tc} を、例えば、0 [V] と -20 [V] とに制御することにより、非照射時 (暗時) において、ドレイン電流 I_{Ds} が $1\mu\text{A}$ 以上の値と 1pA 以下の値とに変化し、トップゲート電圧 V_{Tc} を -20 [V] に設定した状態で、ドレイン電流 I_{Ds} を、光無照射時には、 1pA とし、光照射時には、 $1\mu\text{A}$ 以上とすることができる。その結果、トップゲート電圧 V_{Tc} を0 [V] と -20 [V] とに制御することにより、センス状態とリセット状態を制御することができるとともに、光照射時と光無照射時とのドレイン電流 I_{Ds} の比は、 10^6 倍以上となり、照射光Aの照射量を S/N 比で 120dB 以上の高感度で読み出すことができる。また、ボトムゲート電圧 V_{Bc} を、例えば、0 [V] と $+10$ [V] とに制御することにより、選択状態及び非選択状態を制御することができる。その結果、トップゲート電圧 V_{Tc} 及びボトムゲート電圧 V_{Bc} を制御することにより、フォトセンサ1を、それ自体で、フォトセンサとしての機能と、選択トランジスタとしての機能を兼ね備えたものとして、動作させることができる。

【0031】したがって、このフォトセンサ1をセンサアレイに適用する場合、図5に示すように、このフォトセンサ1がフォトセンサとしての機能と選択トランジスタとしての機能とを兼ね備えていることを利用して、1データラインの各フォトセンサ1を直列に接続して使用する。

【0032】すなわち、センサアレイに適用する場合、多数のフォトセンサ1をマトリックス状に配し、そのデータライン (信号線) 毎に相隣接する各フォトセンサ1のソース電極 (S) - ドレイン電極 (D) を直列に接続するとともに、そのボトムゲート電極 (BG) を共通接続して、いわゆるNAND構成とする。そして、この直列接続された最終段のフォトセンサ1のソース電極 (S) を接地し、初段のフォトセンサのドレイン電極 (D) に、コラムスイッチ20を接続した構成とする。なお、このコラムスイッチ20は、単純なスイッチ特性を有しているものであれば、どの様なものであってもよい。

8

【0033】このような構成において、上述のように、直列接続された各フォトセンサ1のトップゲート電圧 V_{Tc} を制御することにより、各フォトセンサ1の選択状態及び非選択状態を制御することができ、また、そのときのボトムゲート電圧 V_{Bc} を制御することにより、センス状態及びリセット状態を制御することができる。

【0034】すなわち、ボトムゲート電圧 V_{Bc} でデータラインの選択を行ない、トップゲート電圧 V_{Tc} でそのデータラインの各フォトセンサ1を順次センスさせて、コラムスイッチ20をオンすることにより、当該選択したデータラインの各フォトセンサ1の出力を順次コラムスイッチ20を介して取り出すことができる。

【0035】この場合、直列接続されたフォトセンサ1の直列抵抗は、直列接続されたフォトセンサ1の数 (図5の場合、4個) にフォトセンサ1の内部抵抗値を乗算した抵抗値となるが、このようにして直列接続された各フォトセンサ1は、それぞれ上述の図4に示すドレイン電流 I_{Ds} の値から分るように、その内部抵抗が、トップゲート電圧 V_{Tc} が0 [V] であるリセット時や光照射時 (明時) では、 10 メガオーム ($\text{M}\Omega$) 程度であるのに対して、光無照射時 (暗時) では、 10 テラオーム ($\text{T}\Omega$) 程度であるため、選択されたフォトセンサ1のセンス状態の明時及びリセット状態の内部抵抗と暗時の内部抵抗との比は、 10^6 倍となる。そのため、トップゲート電圧 V_{Tc} によりセンスされたフォトセンサ1の光照射量を 120dB 以上の高感度で読み出すことができる。

【0036】このように、フォトセンサ1自体にフォトセンサとしての機能と選択トランジスタとしての機能とを兼ね備えているので、従来の別個に形成して配設されたフォトセンサを選択するための選択トランジスタを取り除くことができるとともに、信号線に沿って相隣接するフォトセンサのソース電極とドレイン電極を直列接続しているため、配線面積や接続点数を削減することができる。その結果、フォトセンサシステム自体を小型化することができ、画素を高密度化させることができる。

【0037】なお、図5では、説明を簡単にするためにフォトセンサ1を4個だけ直列に接続しているが、これに限るものではなく、通常のセンサアレイに使用される個数のフォトセンサ1を直列に接続しても十分に高感度の出力を得ることができ、例えば1万個のフォトセンサ1を直列に接続しても、光照射時やリセット状態のフォトセンサ1の内部抵抗の合計は、 $10^5\text{M}\Omega$ ($10^4 \times 10 = 10^5\text{M}\Omega$) であり、光無照射時のフォトセンサ1の内部抵抗との比は、 10^2 あるので、 40dB の感度を得ることができる。

【0038】

【発明の効果】このようなフォトセンサを備えたフォトセンサシステムによれば、その複数のフォトセンサのうち信号線に沿って配設された相隣接するフォトセンサのソース電極とドレイン電極が直列に接続され、また半導

9

10

体層を挟んでその一方側に配置された光照射側のゲート電極に印加する電圧を制御して前記フォトセンサのセンス状態を制御し、この各フォトセンサのゲート電極に印加する電圧を制御して、前記フォトセンサの選択及び非選択の状態を制御している。したがって、フォトセンサとしての機能と選択トランジスタとしての機能とを兼ね備えさせることができ、従来の別個に形成して配設されたフォトセンサを選択するための選択トランジスタを取り除くことができるとともに、信号線に沿って相隣接するフォトセンサのソース電極とドレイン電極を直列接続

10

しているの、配線面積や接続点数を削減することができる。その結果、フォトセンサシステム自体を小型化することができ、画素を高密度化させることができる。

【0039】さらに、光照射側のゲート電極に印加する電圧を制御して前記フォトセンサのセットとリセット状態をも制御しているの、前回の蓄積電荷を直ちに放出でき、光照射量を連続的に検出することができる。

【図面の簡単な説明】

【図1】本発明に係るフォトセンサシステムの一実施例に適用されるフォトセンサの正面断面図。

20

【図2】図1のフォトセンサの等価回路。

【図3】図1のフォトセンサの各電極に印加する電圧とその状態変化の説明図。

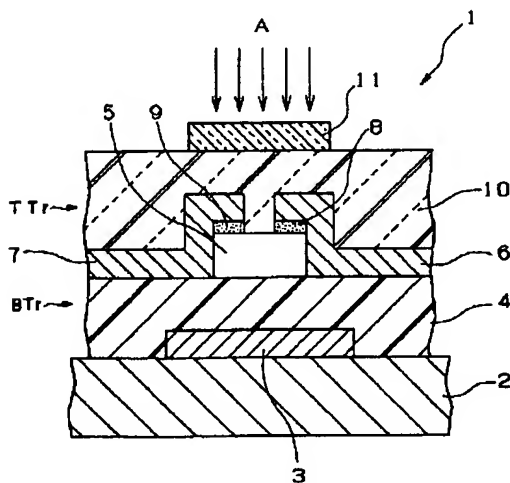
【図4】光照射量をパラメータとしてトップゲート電圧を変化させた場合のドレイン電流の特性を示す特性曲線図。

【図5】図2のフォトセンサを適用したセンサアレイの一例の一部を示す等価回路図。

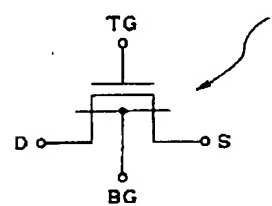
【符号の説明】

- 1 フォトセンサ
- 2 絶縁性基板
- 3 ボトムゲート電極 (BG)
- 4 ボトムゲート絶縁膜
- 5 半導体層
- 6 ソース電極 (S)
- 7 ドレイン電極 (D)
- 8、9 n⁺ シリコン層
- 10 トップゲート絶縁膜
- 11 トップゲート電極 (TG)
- 20 コラムスイッチ

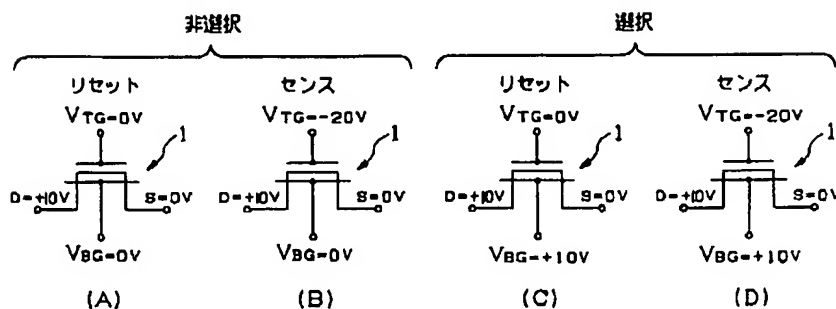
【図1】



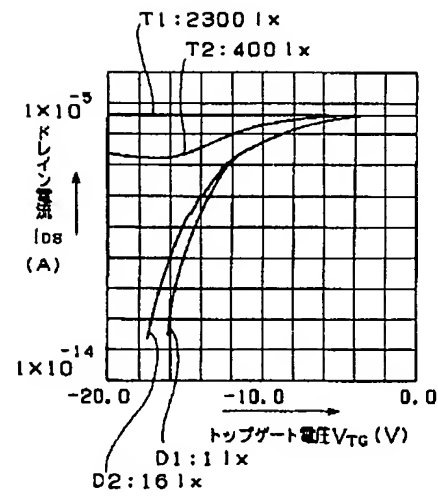
【図2】



【図3】

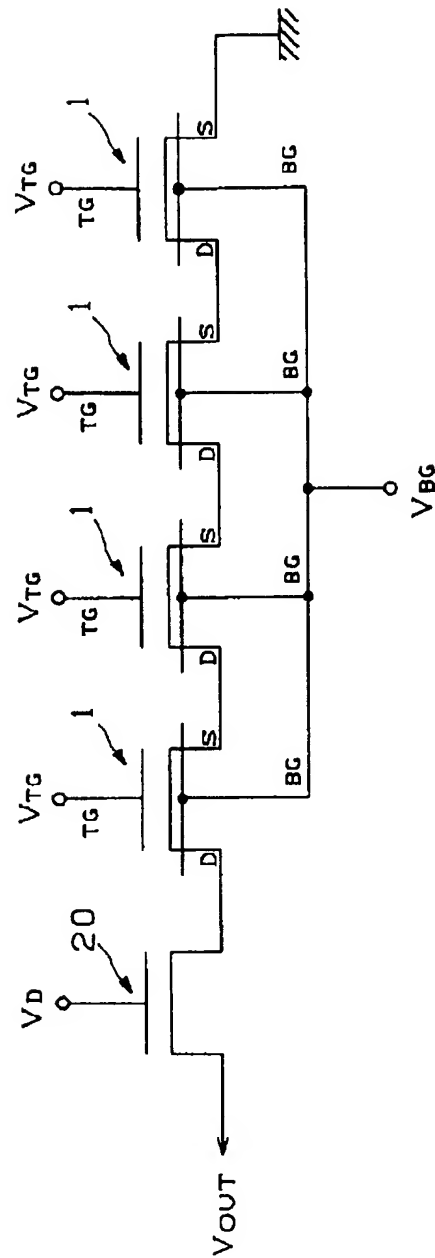


【図4】



BEST AVAILABLE COPY

【図5】



BEST AVAILABLE COPY